

Anybus CompactCom (ABCC) DPRAM アクセス ハンドシェーク方法

Version: A02



エイチエムエス・インダストリアルネットワークス株式会社

〒222-0033

神奈川県横浜市港北区新横浜 3-19-5

新横浜第2センタービル 6F

TEL : 045-478-5340

FAX : 045-476-0315

URL

www.anybus.jp

EMAIL

セールス:jp-sales@hms-networks.com

サポート:jp-support@hms-networks.com

EVOLUTION OF THE DOCUMENT	3
1. 概要	4
1.1. メモリーマップ	4
2. DPRAM へのアクセス方法	5
2.1. CONTROL REGISTER 及び STATUS REGISTER.....	5
2.1.1. Control Register.....	5
2.1.2. Status Register	5
2.2. PROCESS DATA/MESSAGE DATA へのアクセス方法	6
2.2.1. Process Data へのアクセス方法	6
2.2.2. Message Data へのアクセス方法.....	6
3. DPRAM へのアクセス時の注意事項	7
4. アプリケーションと ANYBUS 間データ転送エラー時の対応	7
5. プログラミングフローチャート例	8

EVOLUTION OF THE DOCUMENT

Issue	Date	Author	Motive and nature of the modifications
A00	2011/12/06	KAH	First release.
A01	2011/12/16	KAH	“DPRAM へのアクセス時の注意事項”追加
A02	2011/12/19	KAH	“プルグラミングフローチャート例”変更。

This document contains: 9 pages.

1. 概要

ABCC へのアクセスは DPRAM (Dual Port RAM) を通して行なわれます。DPRAM はアプリケーション側及び ABCC 側 (ABCC の FW (FirmWare) からアクセスできる為、アプリケーション側と ABCC 側のデータ交換は競合がおきないようにアクセス時の調停 (ハンドシェーク) が行なわれなければなりません。DPRAM へのアクセスはデータ交換の為の競合を防ぐハード的な機能はありませんので、アプリケーション側及び ABCC 側からソフト的にハンドシェークを行なう必要があります。

1.1. メモリーマップ

ハンドシェーク方法は以下の DPRAM にマッピングされた "Control Register" 及び "Status Register" をアクセス時に確認及び設定することによって、ホストアプリケーションは DPRAM に対するアクセス権を取得したり放棄したりします。

3800h	Process Data Write Area
38FFh	
3900h	Process Data Read Area
39FFh	
3B00h	Message Write Area
3C06h	
3D00h	Message Read Area
3E06h	
3FFEh	Control Register
3FFFh	Status Register

2. DPRAM へのアクセス方法

2.1. Control Register 及び Status Register

以下"Control Register"及び"Status Register"の内容を説明致します。

2.1.1. Control Register

このレジスタは、Anybus モジュールへの通信を制御します。

b7 (MSB)	b6	b5	b4	b3	b3	b1	0 (LSB)
CTRL_T	CTRL_M	CTRL_R	CTRL_AUX	-	-	-	-

ビット説明

CTRL_T	ホスト・アプリケーションは、新しいテレグラムを送信する場合にこのビットを切り替える必要があります。CTRL_T は、アプリケーションによってモジュールに送信される最初のテレグラムでは"1" に設定する必要があります。
CTRL_M	設定されている場合、現在のテレグラムのメッセージ・サブフィールドは有効です。
CTRL_R	設定されている場合、ホスト・アプリケーションは新しいメッセージを受信する準備ができています。
CTRL_AUX	補助ビット。
-	予約、ゼロに設定。

2.1.2. Status Register

このレジスタは、Anybus モジュールの現在のステータスを保持します。

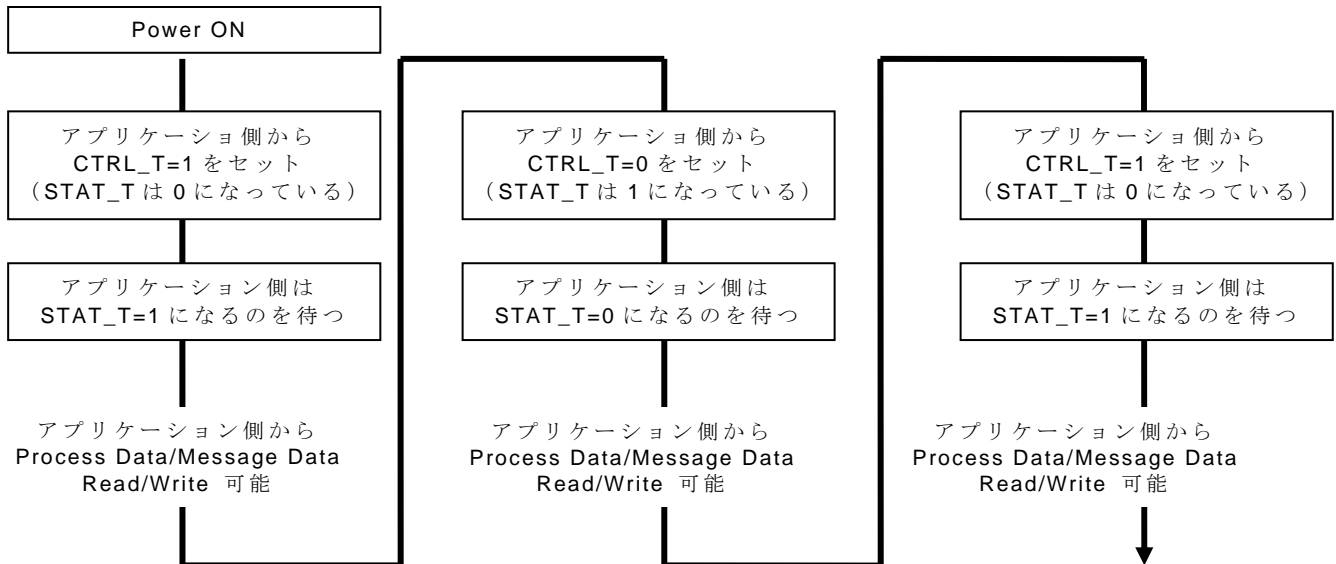
b7 (MSB)	b6	b5	b4	b3	b3	b1	0 (LSB)
STAT_T	STAT_M	STAT_R	STAT_AUX	SUP	S2	S1	S0

ビット説明

STAT_T	モジュールが新しいテレグラムを発行すると、このビットは、ホスト・アプリケーションから最後に受信したテレグラムで、CTRL_T と同じ値に設定されます。						
STAT_M	設定されている場合、現在のテレグラムのメッセージ・サブフィールドは有効です。						
STAT_R	設定されている場合、Anybus モジュールは着信メッセージを処理する準備ができています。						
STAT_AUX	補助ビット。						
SUP 値	Supervise ビット。各個別仕様書を参照。						
S[0... 2]	S2	S1	S0	Anybus の状態			
	0	0	0	SETUP			
	0	0	1	NW_INIT			
	0	1	0	WAIT_PROCESS			
	0	1	1	IDLE			
	1	0	0	PROCESS_ACTIVE			
	1	0	1	ERROR			
	1	1	0	(予約)			
	1	1	1	EXCEPTION			

2.2. Process Data/Message Data へのアクセス方法

以下のフローに従って Process Data 又は Message Data へのアクセスを行ないます。



2.2.1. Process Data へのアクセス方法

- ・ Process Data (I/O データ)領域へのアクセスは 2.2 項記載のハンドシェークにより行ない
- ・ CTRL_T ビットと STAT_T ビットが等しい状態であればアプリケーション側から読み書き可能です。
- ・ Process Data 領域のデータは周期データとして使用されます。

注意) ハンドシェークを行なわない場合でも、アプリケーション側から Process Data 領域に対する書き込み読み出しはいつでも行なえますので注意が必要です。

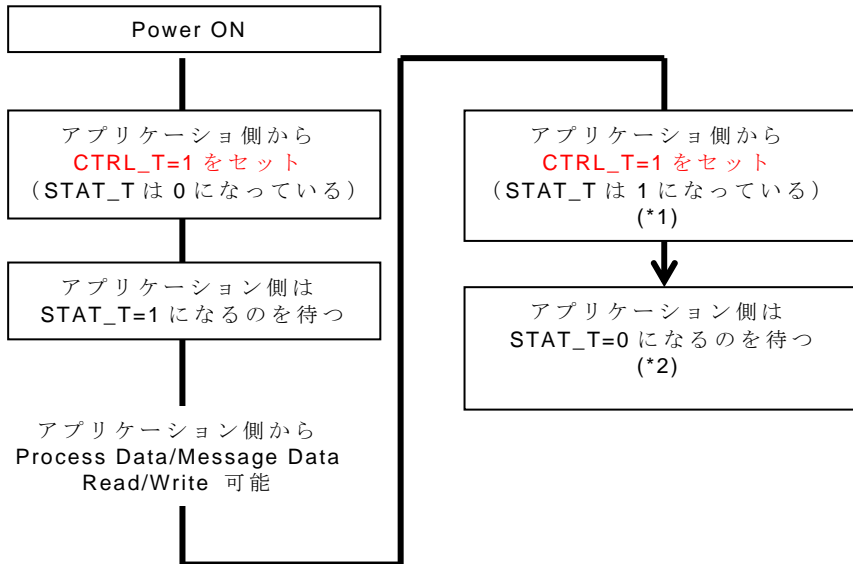
2.2.2. Message Data へのアクセス方法

- ・ Message Data へのアクセスはハンドシェークは 2.2 項記載のハンドシェークにより行ないます。メッセージ送信時は CTRL_M ビットをオンにします。 又、Anybus 側からメッセージがある場合は、STAT_M がオンになります。

注意) ハンドシェークを行なわない場合でも、アプリケーション側から Message Data 領域に対する書き込み読み出しはいつでも行なえますので注意が必要です。

3. DPRAM へのアクセス時の注意事項

DPRAM へのアクセスは 2 項記載のアクセス方法によりアクセスを行ないます。この時、CTRL_T ビットは必ずトグルする必要がありますので、トグルしない状態のビットを書く込むことは問題を引き起こします。



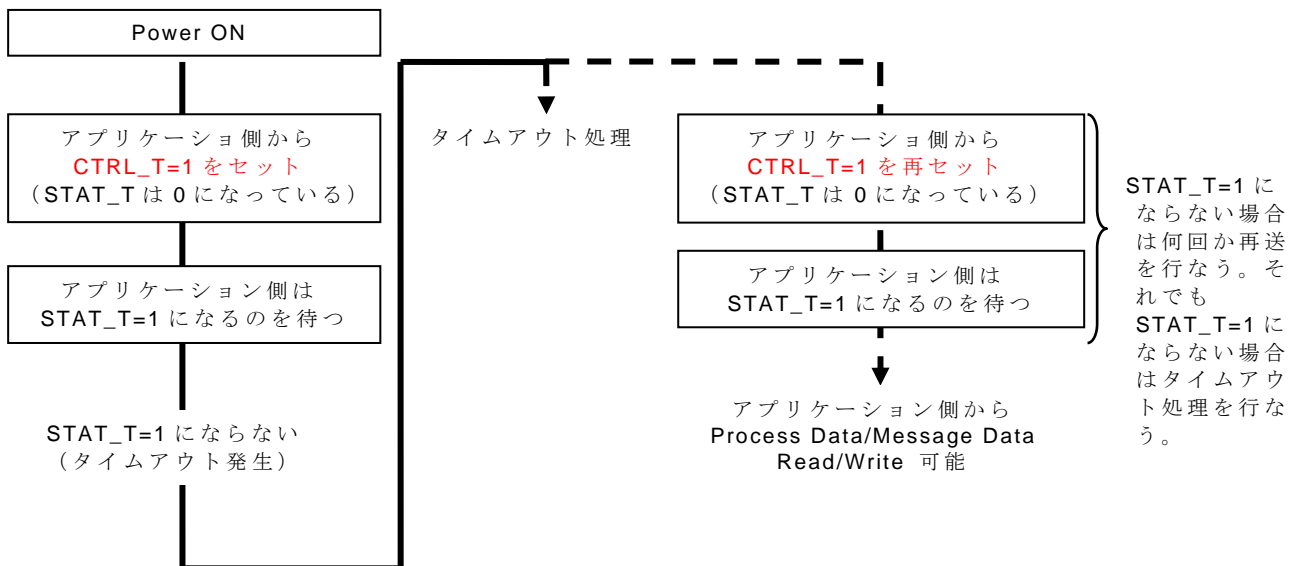
注記)

(*1) CTRL_T ビットへの書き込みが発生して、DPRAM へのアクセス権限が Anybus 側へ移行し、Anybus 側の処理が終了した時点で STAT_T=1 を返す。

(*2) Anybus 側は CTRL_T=1 である為、STAT_T=1 の状態しか返さない。アプリケーションが次に進むためには、CTRL_T=0 を書かなければならない。

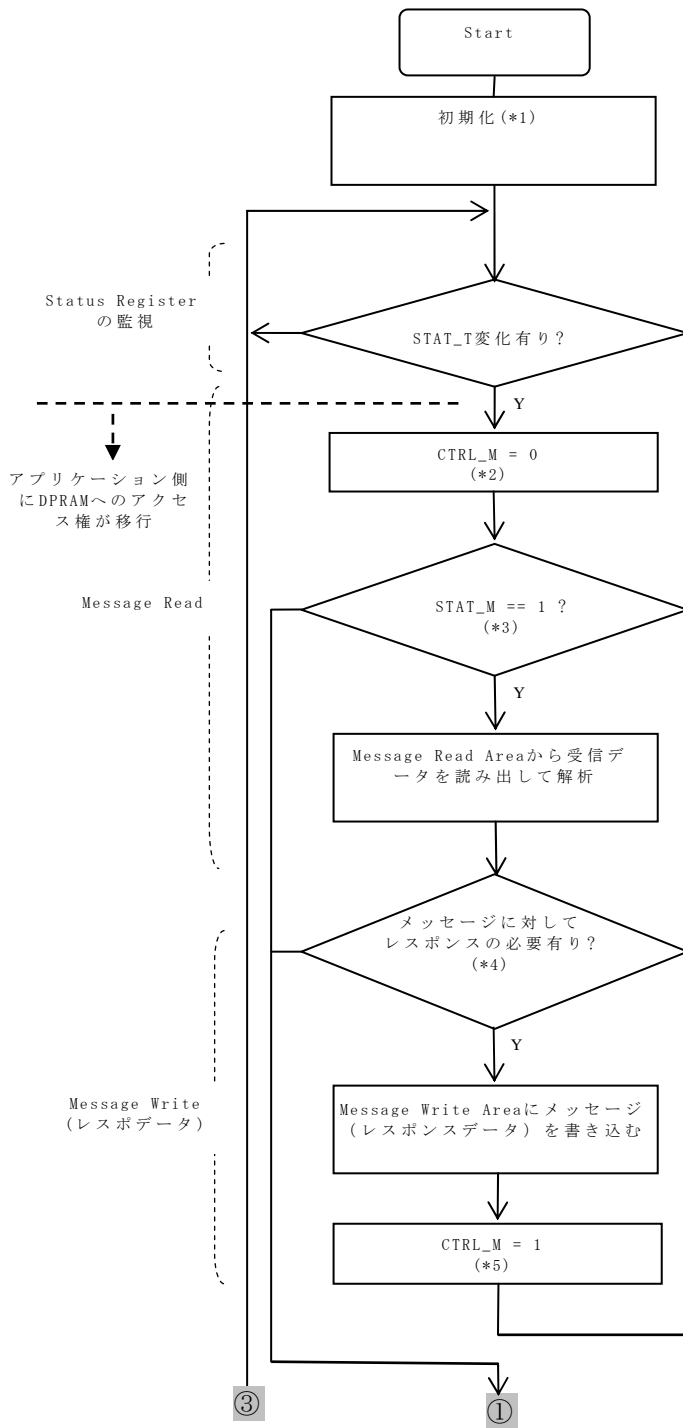
4. アプリケーションと Anybus 間データ転送エラー時の対応

Anybus 側からの応答が無くなった場合は、エラー処理を行なうか再送要求をだす (CTRL_T ビットの再設定を行う)。



STAT_T=1 にならない場合は何回か再送を行なう。それでも STAT_T=1 にならない場合はタイムアウト処理を行なう。

5. プログラミングフローチャート例



注記)

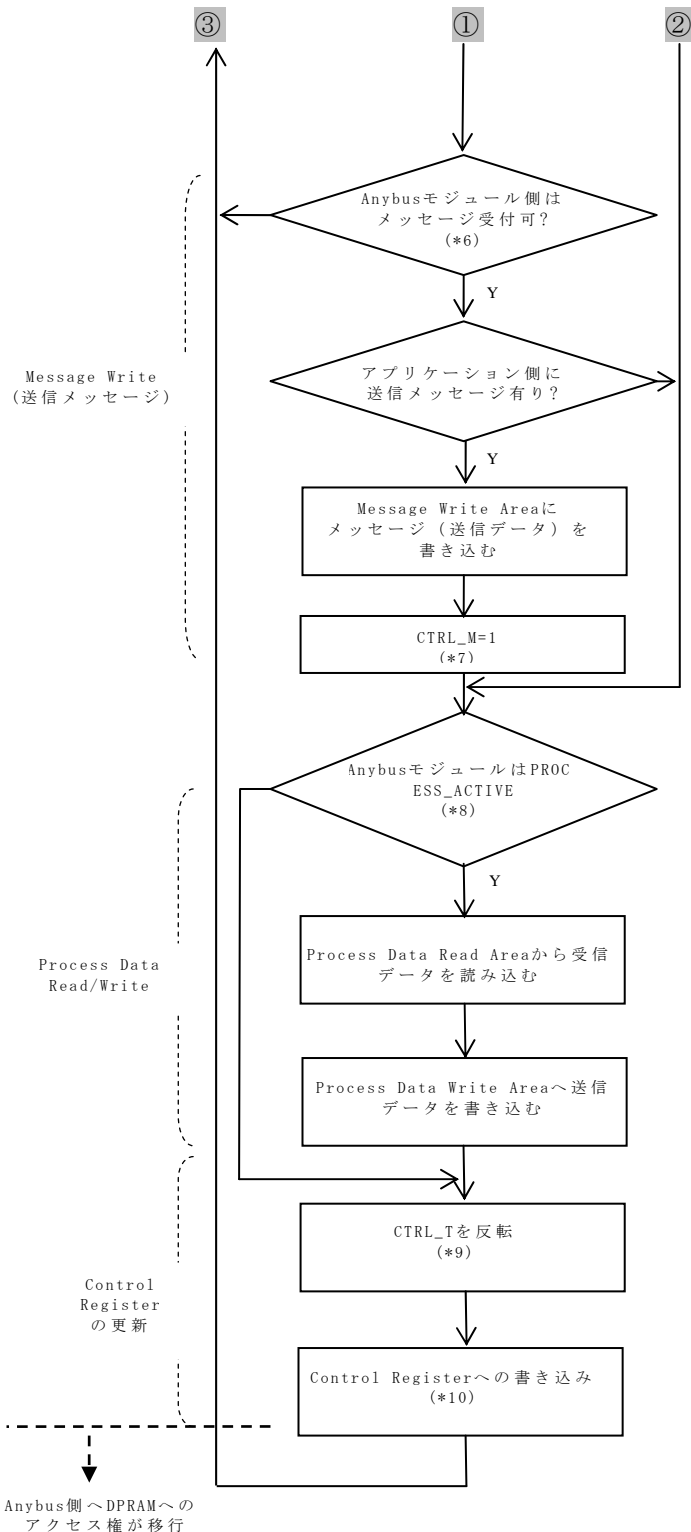
(*1) 各種変数等を初期化する。Control Register へ初めて書き込みを行うときは CTRL_T ビットは必ずセットする必要がある。

(*2) CTRL_M ビットをクリアする。実際の Control Register への書き込みは後でまとめて行なうので、ここでは変数にセットしておく (ここで Control Register への書き込みを行なうと Anybus 側に DPRAM へのアクセス権が移行するので注意が必要です)。

(*3) Message Read Area にメッセージが書き込まれている場合はセットされている。

(*4) Message Read Area にメッセージが書き込まれていると、STAT_M ビットがセットされている (Anybus 側からメッセージが送られていることを示す)

(*5) メッセージを送る必要があるのでセットする。実際の Control Register への書き込みは後でまとめて行なうので、ここでは変数にセットしておく。



注記)

- (*6) Anybus 側がメッセージの受けつ可能状態ならば、STAT_R がセットされている。
- (*7) メッセージを送るのでセットする。実際の Control Register への書き込みは後でまとめて行なうので、ここでは変数にセットしておく。
- (*8) ステータスが ROCESS_ACTIVE の時だけ Process Data の送受信を行なう。
- (*9) CTRL_T を反転する。DPRAM とのハンドシェイクの為、CTRL_T ビットをトグルする。実際の Control Register への書き込みは後でまとめて行なうので、ここでは変数にセットしておく。
- (*10) Control Register 用の変数に書き込まれたデータを実際に Control Register に書き込む(ここで Control Register への実際の書き込みが行なわれる)。

以上